

ГОУ ВПО РОССИЙСКО-АРМЯНСКИЙ (СЛАВЯНСКИЙ)  
УНИВЕРСИТЕТ

Составлен в соответствии с  
государственными требованиями к  
минимуму содержания и уровню  
подготовки выпускников по  
направлению 11.03.03 Конструирование и  
технология электронных средств и  
Положением «Об УМКД РАУ».

УТВЕРЖДАЮ:

Директор института 

А. А. Саркисян

21.07.2023г.

Институт: Инженерно-физический

Кафедра: Микроэлектронные схемы и системы

Автор: *К.т.н., доцент Туманян Анна Кароевна*

**УЧЕБНО-МЕТОДИЧЕСКИЙ КОМПЛЕКС**

Дисциплина: Б1.Б.14 «Логическое проектирование электронных средств»

Направление: 11.03.03 «Конструирование и технология электронных  
средств»

ЕРЕВАН

## Структура и содержание УМКД

### 1. Аннотация

#### 1.1. Выписка из ФГОС ВО РФ по минимальным требованиям к дисциплине

В результате изучения данной дисциплины студент должен:

- **знать:** основы логического проектирования, проектирование цифровых интегральных схем;
- **уметь:** проектировать электронные средства на логическом уровне;
- **владеть:** навыками анализа, моделирования и проектирования логических схем.

#### 1.2. Взаимосвязь дисциплины с другими дисциплинами учебного плана специальности (направления)

Курс «Логическое проектирование электронных средств» тесно взаимосвязан с такими дисциплинами специальности «Конструирование и технология электронных средств», как «Схемо- и системотехника электронных средств», «Языки проектирования аппаратных средств», «Проектирование цифровых интегральных схем», «Электротехника и электроника».

Основные положения дисциплины должны быть использованы в дальнейшем при изучении следующих дисциплин: синтез и оптимизация электронных средств; тестирование интегральных схем.

#### 1.3. Требования к исходным уровням знаний, умений и навыков студентов для прохождения дисциплины (что должен знать, уметь и владеть студент для прохождения данной дисциплины)

Для прохождения данной дисциплины студент должен

- **знать:** основы булевой алгебры, способы представления информации в цифровых устройствах, выполнение основных арифметических операций в двоичной системе над целыми числами и числами с плавающей запятой, принцип функционирования компьютера, языки для описания аппаратуры (Verilog);
- **уметь:** анализировать и моделировать простейшие электрические и электронные схемы;
- **владеть:** навыками информационных технологий, электротехники и электроники.

#### 1.4. Предварительное условие для прохождения (дисциплина(ы), изучение которых является необходимой базой для освоения данной дисциплины)

Для освоения данной дисциплины у студентов должна быть устойчивая база знаний по дисциплинам: математический анализ; линейная алгебра и аналитическая геометрия; информационные технологии; физические основы микроэлектроники; электротехника и электроника; языки проектирования аппаратных средств.

## 2. Содержание

### 2.1. Цели и задачи дисциплины

Изучение теории булевых функций, теории автоматов и методов логического проектирования цифровых схем, формирование необходимых теоретических знаний и практических навыков моделирования и проектирования электронных средств на логическом уровне.

### 2.2. Требования к уровню освоения содержания дисциплины (какие компетенции, знания, умения и навыки) должны быть сформированы у студента после прохождения данной дисциплины)

В результате освоения данной дисциплины у студента должны быть сформированы следующие компетенции:

#### **универсальные компетенции (УК):**

- способен определять круг задач в рамках поставленной цели и выбирать оптимальные способы их решения, исходя из действующих правовых норм, имеющихся ресурсов и ограничений (УК-2)
- способен управлять своим временем, выстраивать и реализовывать траекторию саморазвития на основе принципов образования в течение всей жизни (УК-6)

#### **общепрофессиональные компетенции (ОПК):**

- способен применять методы поиска, хранения, обработки, анализа и представления в требуемом формате информации из различных источников и баз данных, соблюдая при этом основные требования информационной безопасности (ОПК-3)

### 2.3. Трудоемкость дисциплины и виды учебной работы (в академических часах и кредитах)

#### 2.3.1. Объем дисциплины и виды учебной работы

Виды учебной работы	Всего, в акад. часах
<b>1.Общая трудоемкость изучения дисциплины по семестрам, в т. ч.:</b>	<b>180/5кред</b>
1.1. Аудиторные занятия, в т. ч.:	
1.1.1.Лекции	<b>34</b>
1.1.2.Лабораторные занятия	<b>18</b>
1.2. Самостоятельная работа, в т.ч.:	<b>92</b>
<b>Итоговый контроль <u>Экзамен</u></b>	<b>36</b>

2.3.2. Распределение объема дисциплины по темам и видам учебной работы

Разделы и темы дисциплины	Всего (ак. часов)	Лекци и(ак. часов)	Лабор. (ак. часов)
1	2	3	4
<b>Раздел 1. Введение</b>	<b>2</b>	<b>2</b>	
Цель, задачи и общее содержание курса.	2	2	
<b>Раздел 2. Асинхронные схемы</b>	<b>34</b>	<b>20</b>	<b>14</b>
Тема 2.1. Модели автоматов: синхронная, асинхронная, самосинхронизирующаяся.	4	2	2
Тема 2.2. Асинхронные автоматы. Требования к асинхронным автоматам. Структура асинхронных автоматов моделей Мили и Мура.	4	2	2
Тема 2.3. Противогоночное кодирование состояний автомата.	6	4	2
Тема 2.4. Функциональные и логические состязания в комбинационных схемах. Статический и динамический риск.	6	4	2
Тема 2.5. Проектирование последовательностных схем с обратной связью. Этапы синтеза.	8	4	4
Тема 2.6. Анализ схем с обратной связью.	6	4	2
<b>Раздел 3. Самосинхронизирующиеся асинхронные схемы</b>	<b>16</b>	<b>12</b>	<b>4</b>
Тема 3.1. Понятие конвейерной обработки. Синхронный и асинхронный конвейеры. Описание конвейера на Verilog.	8	6	2
Тема 3.2. Пример асинхронного конвейера. С-элемент Маллера. Генерация сигнала завершения.	8	6	2
<b>Итого</b>	<b>52</b>	<b>34</b>	<b>18</b>

2.3.3. Содержание разделов и тем дисциплины

**Основные разделы:**

Раздел 1. Цель, задачи и общее содержание курса

Раздел 2. Асинхронные схемы

Раздел 3. Самосинхронизирующиеся асинхронные схемы

**Модуль 1.**

**Раздел 1. Введение**

Цель, задачи и общее содержание курса.

**Раздел 2. Асинхронные схемы**

Тема 2.1. Модели автоматов: синхронная, асинхронная, самосинхронизирующаяся мультиплексоров/демультиплексоров и трехстабильных буферов.

Тема 2.2. Асинхронные автоматы. Требования к асинхронным автоматам. Структура асинхронных автоматов моделей Мили и Мура.

Тема 2.3. Противогоночное кодирование состояний автомата.

Тема 2.4. Функциональные и логические состязания в комбинационных схемах. Статический и динамический риск.

Тема 2.5. Проектирование последовательностных схем с обратной связью. Этапы синтеза.

Тема 2.6. Анализ схем с обратной связью.

**Раздел 3. Самосинхронизирующиеся асинхронные схемы**

Тема 3.1. Понятие конвейерной обработки. Синхронный и асинхронный конвейеры. Описание конвейера на Verilog.

Тема 3.2. Пример асинхронного конвейера. С-элемент Маллера. Генерация сигнала завершения.

2.4. Материально-техническое обеспечение дисциплины

Лабораторные занятия проводятся в учебном департаменте Синописис Армения.

Аудитория обеспечена компьютерами, в которых инсталлировано необходимое программное обеспечение фирмы Синописис для симуляции и синтеза цифровых устройств – VCS-симулятор и DesignCompiler.

2.5.Распределение весов по модулям и формам контроля

	Вес формы текущего контроля в результирующей оценке текущего контроля			Вес формы промежуточного контроля и результирующей оценки текущего контроля в итоговой оценке промежуточного контроля			Вес итоговых оценок промежуточных контролей в результирующей оценке промежуточного контроля	Вес оценки результирующей оценки промежуточных контролей и оценки итогового контроля в результирующей оценке итогового контроля
	М1	М2	М3	М1	М2	М3		
<b>Вид учебной работы/контроля</b>								
Контрольная работа			1			1		
Лабораторные работы								
Устный опрос								
Вес результирующей оценки текущего контроля в итоговых оценках промежуточных контролей								
Вес итоговой оценки 1-го промежуточного контроля в результирующей оценке промежуточных контролей								
Вес итоговой оценки 2-го промежуточного контроля в результирующей оценке промежуточных контролей							0.5	
Вес итоговой оценки 3-го промежуточного контроля в результирующей оценке промежуточных контролей т.д.							0.5	
Вес результирующей оценки промежуточных контролей в результирующей оценке итогового контроля								0.5
<b>Экзамен(оценка итогового контроля)</b>								0.5
			$\Sigma = 1$			$\Sigma = 1$	$\Sigma = 1$	$\Sigma = 1$

### 3. Теоретический блок

#### 3.1 Материалы по теоретической части курса

##### 3.1.1. Учебники

1. F. Vahid. DigitalDesignwithRTLDesign, VerilogandVHDL. Wiley; 2 edition, 2010
2. S. Sarkar, A. Kumar. Foundation of Digital Electronics and Logic Design. Pan Stanford Publishing Pte Ltd, 2012
3. S. Brown, Z. Vranesic. Digital Logic with Verilog Design. McGraw-Hill Higher Education, 2 edition, 2009
4. J. Walkerly. Digital Design Principles and Practices. Prentice Hall, 4 edition, 2006
5. K. Brayton, G. Hachtel, C. McMullen, A. Sangiovanni-Vincentelli. Logic Minimization Algorithms for VLSI Synthesis, Kluwer Academic Publishers, 2010.
6. Дэвид М. Хэррис и Сара Л. Хэррис. Цифровая схемотехника и архитектура компьютера. Морган Кауфман. EnglishEdition, 2013.
7. А.К.Туманян. Основы цифрового проектирования с использованием языка Verilog, Ереван, Чартарагет, 2012.

### 4. Практический блок

#### 4.1. Планы лабораторных работ

##### **Анализ и синтез комбинационных схем**

**Лаб.1.** Способы представления булевых функций.

Канонические формы представления булевых функций: СДНФ, КДНФ. Представление функций в полиномиальной форме. Представление булевых функций в виде n-мерного куба.

Минимизация булевых функций с помощью карт Карно.

**Лаб.2.** Описание на Verilog преобразователя входного двоичного кода в код Грея.

Симуляция с помощью VCS - симулятора.

**Лаб.3.** Описание на Verilog схемы извлечения корня квадратного. Симуляция и синтез с помощью DesignCompiler.

**Лаб.4.** Реализация булевых функций на мультиплексорах и дешифраторах.

Описание на Verilog мультиплексоров с заданным числом входов и заданной разрядности.

Симуляция с помощью VCS и синтез с помощью DesignCompiler.

Описание на Verilog дешифраторов  $n \times 2^n$ . Симуляция с помощью VCS и синтез с помощью DesignCompiler.

**Лаб.5.** Построение схем дешифраторов и шифраторов. Построение схемы двойного приоритетного шифратора.

Описание на Verilog шифратора. Описание на Verilog двойного приоритетного шифратора.

Симуляция и синтез.

**Лаб.6.** Синтез конечных автоматов.

Построение графа автомата, выполняющего заданное преобразование входной последовательности в выходную (описание детекторов, арбитраж и др.)

Изучение работы триггеров и защелок. Описание на Verilog триггеров и защелок. Симуляция с помощью VCS-симулятора.

**Лаб.7.** Структурный синтез автоматов. Построение схемы детектора входной двоичной последовательности на заданном типе триггера вручную.

Описание конечного автомата (FSM) Мили на Verilog (например, автомата блокировки лифта). Симуляция и синтез.

**Лаб.8.** Описание конечного автомата (FSM) Мура на Verilog (схемы арбитра). Симуляция и синтез.

## **5. Материалы по оценке и контролю знаний**

### **5.1. Перечень вопросов для экзамена**

1. Понятие булевых функций. Способы представления булевых функций. Алгебраическое представление (в виде формул) – СДНФ, СКНФ.
2. Теорема Поста о функциональной полноте булевых функций. Понятие базиса
3. Минимизация булевых функций в классе дизъюнктивных нормальных форм. Понятие импликанты.
4. Минимизация функций с помощью карт Карно.
5. Табличный метод минимизации булевых функций – метод Квайна-Мак-Класки.
6. Канонические реализации булевых функций (AND-OR; OR-AND).
7. Реализация в базисе NAND, NOR.
8. Диаграммы двоичных решений. BDD и разложение функций по переменным
9. ROBDD. Реализация булевой функции на мультиплексорах 2:1.
10. Понятие абстрактного автомата. Способы задания автоматов. Минимизация числа состояний автомата.
11. Триггеры и защелки
12. Описание FSM на Verilog
13. Последовательность синтеза FSM.
14. Кодирование состояний: Onehotstateassignment, двоичное кодирование, код Грея.
15. Анализ FSM.
16. Регистры. Описание регистров на Verilog.
17. Регистры на базе Dflip-flops, Dlatches. Clock enable, Output enable.